

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-322130  
(43)Date of publication of application : 08.12.1995

[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]  
Copyright (C): 1998,2000 Japanese Patent Office

(51)Int.Cl. H04N 5/232  
H04N 5/225

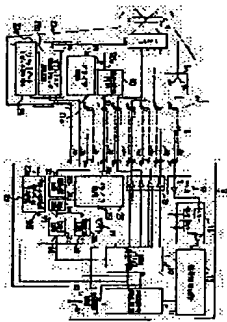
(21)Application number : 06-115382 (71)Applicant : MITSUBISHI ELECTRIC CORP  
(22)Date of filing : 27.05.1994 (72)Inventor : YOSHIDA JUNICHI  
FUJII YOSHIYUKI

## (54) IMAGE PICKUP DEVICE

### (57)Abstract:

PURPOSE: To provide an image pickup device which needs no phase compensating switch regardless of the length of a cable that connects a camera head to a controller.

CONSTITUTION: A camera head 1 is connected to a controller 2 via a cable 3. The head 1 includes a solid state image pickup element 5, a horizontal register transfer clock generating circuit 22 and a reset gate clock generating circuit 23. The controller 2 includes a circuit 62 which detects the phase difference between an external synchronizing signal and the synchronizing signal received from a synchronizing signal generating circuit 11 and converts the phase difference into the voltage, a circuit 67 which converts the output of the circuit 62 into the frequency, a circuit 27 which doubles an original clock received from the head 1, a circuit 10 which produces a solid state image pickup element driving pulse from the output of the circuit 27, and a circuit 28 which compares the phases with each other between the original clock of the head 1 and the clock which is sent to the circuit 11 from the circuit 10.

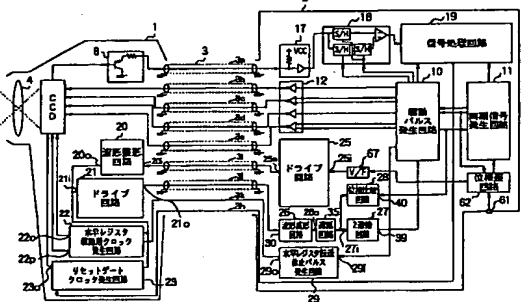


## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]

(31) Int. Cl. <sup>6</sup> H04N 5/232 5/235		特許記号 庁内整理番号 Z F	技術表示箇所
審査請求 未請求 請求項の数 4			
(11) 出願番号 (12) 出願日 特開平6-115382 平成6年(1994)5月27日		F I	
(11) 出願人 三菱電機株式会社 東京都千代田区丸の内二丁目1番1号 吉田 潤一 京都府長岡京市岡場四所1番地 三菱電機株式会社映像システム開発研究所内 藤井 遵行 兵庫県姫路市千代田町440番地 三菱電機株式会社姫路製作所内 (74) 代理人 井理士 高田 守		OL (全13頁)	

(31) 【要約】 (修正有)  
【目的】 カメラヘッドとコントローラを接続するケーブルかどのような長さであっても、位相補償用のスイッチによる切り換えを不要にする。  
【構成】 カメラヘッド1とコントローラ2はケーブル3で接続されている。カメラヘッド1内には、固体撮像素子5と、水平レジスタ転送クロックおよびリセットクロック発生回路22、23を備え、コントローラ2内には、外部同期と同期信号発生回路が出力する同期信号との位相差を検出し電圧に変換する回路62と、位相差検出回路の出力を周波数に変換する回路67と、カメラヘッドからの原クロックを2倍倍する回路27と、前記2倍倍回路の出力から固体撮像素子駆動用パルスと駆動パルス発生回路から同期信号発生回路11へ出力するクロックの位相を比較する回路28とを備える。



【特許請求の範囲】  
【請求項1】 カメラヘッド(1)とコントローラ(2)が別体であって、  
(2)が別体であって、  
上記カメラヘッド(1)内に、光学像を電気信号に変換する固体撮像素子(5)と、上記コントローラ(2)から供給される原クロックおよび水平転送パルスから水平レジスタ転送クロックを発生する手段(22)と、上記コントローラから供給される原クロックおよびリセットクロックを発生する手段(23)とを備え、  
上記コントローラ(2)内に、カメラヘッドから送り返される原クロックを2倍倍する手段(27)と、上記2倍倍手段から出力されるクロックから水平レジスタ転送クロック、垂直レジスタ転送クロック等の固体撮像素子駆動用パルスを発生する駆動パルス発生手段(10)と、上記駆動パルス発生手段(10)から出力される垂直レジスタ転送クロック等から垂直レジスタ駆動パルスを発生するクロックドライバ(12)と、上記駆動パルス発生手段(10)から出力される信号と上記同期信号発生手段(11)から出力される水平あるいは垂直同期信号との位相差を検出し電圧に変換する位相差検出手段(62)と、上記位相差検出手段(62)から出力される電圧を周波数に変換する電圧-周波数変換手段(67)と、上記電圧-周波数変換手段(67)の出力である原クロックを上記カメラヘッド(1)に送り出すドライバ回路(25)と、上記カメラヘッド(1)から送り返される原クロックと上記駆動パルス発生手段(10)から上記同期信号発生手段(11)へ出力されるクロックの位相を比較する位相比較手段(28)とを備え、  
上記位相比較手段(28)の出力で上記2倍倍手段(27)の補償し上記位相比較手段(28)に入力される2つのクロックの位相差を一定にすることを特徴とする撮像装置。

【請求項2】 上記2倍倍手段(27)の補償を、上記位相比較手段(28)の出力に基づき上記2倍倍手段(27)の出力であるクロックを奇数周除するおろかで行うことを特徴とする請求項1に記載の撮像装置。  
【請求項3】 上記2倍倍手段(27)の補償を、上記位相比較手段(28)の出力に基づき上記2倍倍手段(27)の入力を正転あるいは反転することにより行うことを特徴とする請求項1に記載の撮像装置。  
【請求項4】 上記2倍倍手段(27)を、入力クロックと入力クロックを1/4同期遅延させたクロックを排他的論理和にして入力する構成とし、上記2倍倍手段(27)の補償を上記排他的論理和の入力のどちらか一方のクロックを奇数周除するか否かで行うことを特徴とする請求項1に記載の撮像装置。  
【発明の詳細な説明】

(1) 特開平7-322130  
【0001】  
【産業上の利用分野】 本発明は、固体撮像素子を用いた撮像装置に関し、特にカメラヘッドとカメラコントローラが別体の撮像装置に関する。  
【0002】  
【従来の技術】 図18は従来のカメラヘッドとカメラコントローラが別体の撮像装置の構成図を示す。この装置は、カメラヘッド1とカメラコントローラ2と両者を接続する接続ケーブル3で構成されている。  
【0003】 カメラヘッド1は、レンズ4、固体撮像素子5、水平クロックドライバ6、リセットクロック発生回路7および固体撮像素子5の出力信号用ドライバ回路8で構成されている。  
【0004】 水平クロックドライバ6およびリセットクロック発生回路7は、それぞれ図16および図17に示すように構成されている。  
【0005】 カメラヘッド1の2は、外部から外部同期信号入力端子6.1に供給される信号と同期信号発生回路11から出力される信号と同期信号発生回路11から出力される水平あるいは垂直同期信号との位相差を検出し電圧に変換する位相差検出回路62、位相差検出回路62から出力される電圧を周波数に変換し原クロックを発生する電圧-周波数変換回路(V/F変換回路)63、原クロックから固体撮像素子5を駆動するのに必要な水平駆動パルスおよび垂直駆動パルスを発生する駆動パルス発生回路10、駆動パルス発生回路10から出力されるクロックから同期信号を発生する同期信号発生回路11、駆動パルス発生回路11から出力される垂直レジスタ転送クロックおよび電荷転送パルスを発生する垂直クロックドライバ12、駆動パルス発生回路10から出力される水平レジスタ転送クロックとリセットクロックを遅延する遅延回路13、ケーブル3の長さに応じて遅延量を切り換えるための遅延量切換スイッチ14、水平レジスタ転送クロックのドライバ回路15、リセットクロックのドライバ回路16、カメラヘッドから送られてくる固体撮像素子5の出力の終端による減衰を補償する増幅回路17、固体撮像素子5の出力のリセット遅延を低減するための相関2重サンプリング回路18および相関2重サンプリング回路18の出力に対して処理、色分離、同期信号付加等の処理を行う信号処理回路19で構成される。ケーブル3は、同軸ケーブル3aおよびケーブル3bからなる。  
【0006】 水平レジスタ転送クロックドライバ回路15およびリセットクロックドライバ回路16はそれぞれ図18および図19に示すように構成されている。  
【0007】 次に動作について説明する。このシステムの基準である外部同期信号は外部から外部同期信号入力端子6.1に供給され、位相差検出回路62に入力される。このシステムの場合、外部同期(外部からの同期信号



1

ックドライバ(12)と、上記駆動/ウイルス発生手段(10)から出力されるクロックから各種の同期信号を発生する手段(11)と、外部から外部同期信号入力端子に供給される信号と上記同期信号発生手段(11)から出力される水平あるいは垂直同期信号との位相差を検出し、電圧に変換する位相検出手段(62)と、上記位相差検出手段(62)から出力される電圧を周波数に変換する電圧一周波数変換手段(67)と、上記電圧一周波数変換手段(67)の出力である周クロックを上記カメラヘッド(1)に送り出すドライフ回路(25)と、上記カメラヘッド(1)から送り返される周クロックと上記駆動/ウイルス発生手段(10)から上記同期信号発生手段(11)へ出力されるクロックの位相を比較する位相比較手段(28)とを備え、上記位相比較手段(28)の出力で上記2通信手段(27)を制御し上記位相比較手段(28)に入力される2つのクロックの位相差を一定にすることを特徴とする。

【0020】請求項2は、請求項1の装置において、上記2通信手段(27)の制御を、上記位相比較手段(28)の出力に基づき上記2通信手段(27)の出力であるクロックを奇数除分するか否かで行うことを特徴とする。

【0021】請求項3は、請求項1の装置において、上記2通信手段(27)の制御を、上記位相比較手段(28)の出力に基づき上記2通信手段(27)の入力を正転あるいは反転することにより行うことを特徴とする。

【0022】請求項4は、請求項1の装置において、上記2通信手段(27)を、入力クロックと入力クロックを1/4周期遅延させたクロックを抹他の論理和にして入力する構成とし、上記2通信手段(27)の制御を上記抹他の論理和の入力のどちらか一方のクロックを奇数除分するか否かで行うことを特徴とする。

【0023】

【作用】請求項1の発明に係る撮像装置は、電圧一周波数変換手段(67)の出力である周クロックをカメラヘッド(1)に送り返し、これと前記駆動/ウイルス発生手段(10)から前記同期信号発生手段(11)へ出力されるクロックの位相差を一定にするよう制御しているため、固体撮像素子(5)の出力で前記駆動/ウイルス発生手段(10)から出力される相関二重サンプリング用/ウイルスの位相はケーブルの長さに関わらず常に一定となる。従って、カメラヘッド(1)とカメラコントローラ(2)とを接続するケーブル(3)のどのような長さであっても、位相補用の遅延量をスイッチにより切り換える必要の無い、つまり遅延量切り換えスイッチが不要な撮像装置を得ることができる。

【0024】請求項2によれば、上記の所望の動作が簡単な回路構成で実現できる。

【0025】請求項3によれば、駆動/ウイルス発生手段内の遅延時間の如何に拘らず、所望の動作が実現できる。

【0026】請求項4では、回路素子遅延や温度変化あるいはそれらのバリエーションに起因する不安定性がない。

【0027】

【実施例】

実施例1

図1は本発明の一実施例による撮像装置を示す図である。図1において1～5、8、10～12および17～19は従来例と同様であるその説明を省略する。図1において、カメラヘッド1内にある、波形整形回路20はコントローラ2から同軸ケーブル3 i を経由して入力される周クロックの波形を整形する。ドライフ回路21は波形整形された周クロックをコントローラ2に送り返すためのものである。水平シフト駆動用クロック発生回路22は波形整形された周クロックとコントローラ2からケーブル3 k を経由して入力される水平シフト駆動用クロックから水平シフト駆動用クロックを発生する。リセットゲートクロック発生回路23は波形整形されたクロックとコントローラ2からケーブル3 h を経由して入力されるリセットゲートクロック電圧からリセットゲートクロックを発生する。ドライフ回路21は例えば図2に示すように構成されている。

【0028】コントローラ2内にある、電圧一周波数変換回路67は5の水平駆動周波数である周クロックを発生する。ドライフ回路25は5つの周クロックを同軸ケーブルに送り出すためのものである。波形整形回路26はカメラヘッド1から送り返される周クロックの波形を整形する。遅延回路(DL)35は、固体撮像素子5の出力と相関二重サンプリング用/ウイルスとの一定の位相差を吸収する。2通信回路27は遅延回路35の出力を2通信倍する。位相比較回路28は遅延回路35の出力(波形整形された遅延されたクロック)と駆動/ウイルス発生回路10から同期信号発生回路11に出力されるクロックの位相を比較し、比較した結果に基づき2つのクロックの位相差を一定にするように2通信回路27を制御する。

【0029】水平シフト駆動停止/ウイルス発生回路29は駆動/ウイルス発生回路10から出力される水平駆動/ウイルスのどれか1つから水平シフト駆動停止/ウイルス(水平シフトの転送停止期間を示す/ウイルス)を発生しケーブル3 k を経由してカメラヘッド1内の水平シフト駆動用クロック発生回路に入力する。ドライフ回路25は例えば図3に示すように構成されている。

【0030】図4は波形整形回路26の一例を示す図である。図4において、30はカメラヘッドから送り返される周クロックの入力端子である。終端抵抗31とコンデンサ32とインピーダンス抵抗33とNOT34とで波形整形回路26を構成する。波形整形回路26の出力は上記のように遅延回路35を介して2通信回路27および位相比較回路28に入与えられる。

【0031】図5は、この実施例で用いられる2通信回

(10) 特開平7-322130

10

路27と位相比較回路28を示す図である。39は2通信回路27の出力端子である。40は同期信号発生回路11に入力されるクロックの入力端子である。2通信回路27は、遅延回路35から入力されるクロックを1/4周期遅延する遅延回路36、抹他の論理和回路(EX-OR)37および増倍回路(OR)38で構成される。位相比較回路28は、遅延回路35のクロック出力と入力端子40に供給されるクロックのエッジを揃えるための遅延回路41とEX-OR42とで構成されている。

【0032】上記のように構成された撮像装置について、以下その動作を説明する。このシステムの場合、外部同期(外部同期信号)に対するカメラヘッド1とカメラコントローラ2の同期)は電圧一周波数変換回路67から、ドライフ回路25、同軸ケーブル3 i、波形整形回路20、ドライフ回路21、同軸ケーブル3 j、波形整形回路26、遅延回路35、2通信回路27、駆動/ウイルス発生回路10、同期信号発生回路11および位相検出回路62を経て電圧一周波数変換回路67に戻るルーチでPLLを構成して行う。このシステムの基準である外部同期信号は外部から外部同期信号入力端子61に供給され、位相検出回路62に入力される。位相検出回路62は従来例と同様、外部同期信号と同期信号発生回路11からの同期信号の位相差を検出し電圧に変換して電圧一周波数変換回路67に入力する。電圧一周波数変換回路67は、この位相検出回路62の出力である電圧を固体撮像素子5の水平駆動周波数のクロック(周クロック)に変換し、ドライフ回路28に入力する。

【0033】原クロックはケーブル3 i を経由してカメラヘッド1内の波形整形回路20に入力され、ここでエッジが急峻にされ振幅もロジックレベルに昇される。周クロックの反転による波形歪みを避けるために、コントローラ2内のドライフ回路25には同軸ケーブル用出力抵抗、カメラヘッド1内の波形整形回路20には終端抵抗が設けられている。波形整形された周クロックは、ドライフ回路21、水平シフト駆動用クロック発生回路22およびリセットゲートクロック発生回路23に入力される。

【0034】原クロックはケーブル3 i を経由してカメラヘッド1内の波形整形回路26に送り返される。水平シフト駆動用クロック発生回路22に送り返される。水平シフト駆動の場合、入力される周クロックをコントローラから送られて来る水平シフト駆動停止/ウイルスでゲートすることにより一方の(第1の相の)水平シフト駆動クロックを、またこのクロックの反転をとることにより他方の(第2の相の)水平シフト駆動クロックを発生し固体撮像素子5に入力する。

【0034】水平シフト駆動停止/ウイルスは、コントローラ2内の駆動/ウイルス発生回路10から出力される水平駆動/ウイルスのどれか1つに基づき水平シフト駆動停止/ウイルス発生回路29で発生される。2相駆動の場合の水

平シフト駆動停止/ウイルス発生回路29の一例を図6に、その回路の主要部の波形を図7に示す。この回路では、コンデンサへの充電と放電の時間定数を変えることにより、入力(水平シフト駆動クロックH2)が長期間“L”である期間(水平シフト駆動停止期間)を検出してゐる。

【0035】リセットゲートクロック発生回路23では入力される原クロックを微分回路により微分してウイルス幅を調整し、このウイルスの“L”レベルをカメラコントローラから送られてくるリセットゲートクロック電圧にラッチし固体撮像素子5に入力する。

【0036】図8に、コントローラ2から送られてくる原クロックの波形を整形する波形整形回路20、水平シフト駆動用クロック発生回路22およびリセットゲートクロック発生回路23の一例を、図9にその回路の主要部の波形を示す。

【0037】コントローラ2では、送り返された周クロックを波形整形回路26で受け、そのエッジを急峻にすると同時に振幅をロジックレベルに昇する。原クロックをコントローラ2に送り返すカメラヘッド1内のドライフ回路21には同軸ケーブル用出力抵抗を、原クロックの入力側であるコントローラ2内の波形整形回路26には終端抵抗を設けている。

【0038】本発明では従来例と異なり、駆動/ウイルス発生回路10用のクロックは、固体撮像素子5の出力信号を用同軸ケーブル3 a と同特性の同軸ケーブル3 j を経由して送り返されてくる固体撮像素子5の水平駆動周波数と同じ周波数の原クロックを2通信倍して生成される。従って、固体撮像素子5の出力信号と駆動/ウイルス発生回路10用のクロックの位相差、あるいは、固体撮像素子5の出力信号と駆動/ウイルス発生回路10で発生される相関二重サンプリング回路用/ウイルスとの位相差は、ケーブルの長さに関わらず一定となる。遅延回路35はこの固体撮像素子5の出力信号と駆動/ウイルス発生回路10で発生される相関二重サンプリング回路用/ウイルスとの一定の位相差を吸収し両者の位相を揃えるためのものである。

【0039】但し、以上のことは送り返されてくる原クロックと同期信号発生回路11に入力されるクロックの位相が、駆動/ウイルス発生回路10から同期信号発生回路11に出力されるクロックは、駆動/ウイルス発生回路10で入力される1/2分間しただけのクロックなので、送り返されてくる原クロックを単に2通信倍し駆動/ウイルス発生回路10に入力するだけでは、原クロックと同期信号発生回路11に入力されるクロックとは互いに180度異なる2つの位相差が存在してしまう。従って、原クロックと同期信号発生回路11に入力されるクロックの位相差を一定にする必要がある。

【0040】図5に示す位相比較回路28内のEX-OR

R4 42はこの2つのクロックの位相を比較する。また、2週巡回路27内のOR3 8は2つの位相を比較した結果、予め定めた位相関係ないし位相遅延（この回路例ではEX-OR4 2の2つの入力の位相が同位相）でない場合には駆動/ハルス発生回路10に入力されるクロックを1個除去することにより2つのクロックの位相遅延を一定にする。この動作を図10のタイミングチャート図を使って詳しく説明する。

【0041】 遅巡回路35を通った原クロックは、遅巡回路41により入力端子40に供給されるクロック（同期信号発生回路11に入力されるクロック）とエッジを揃えられ、そのクロックと共に位相比較用のEX-OR4 2に入力される。2つのクロックが位相比較用のEX-OR4 2に入力されると以下の動作によって、2つの入力クロックの位相差が一時的にされる。以前の位相は不明（図10では×と表示）だが、現時点で既に遅巡回路41を通った原クロックが“H”、入力端子40に供給されるクロックが“L”になったとする。するとこの半周期の間は、位相比較用のEX-OR4 2は“H”を出力する。このため、2週巡回路27の出力（駆動/ハルス発生回路10用クロックでOR3 8の出力）は、図に示すようにクロックが1個除去された形になる。入力端子40に供給されるクロックは、この2週巡回路27の出力を単に1/2分周したものであるから、次の半周期ではトリガー（図10ではトリガーは立ち上がりとした）となるエッジが無いため“L”のままとなる。一方、遅巡回路41を通った原クロックの方は次の半周期では“L”に反転するため、半周期で両者の位相が一致することになる。両者の位相が一致すると位相比較用のEX-OR4 2は“L”を出力するため、EX-OR3 7の出力はOR3 8をそのまま通過し、その状態が維持される。

【0042】 上述の説明は、カメラヘッドから送り出される原クロックと駆動/ハルス発生回路10から同期信号発生回路11に出力されるクロックの位相遅延を一定にするために、比較回路28の出力に基づいて2週巡回路27の出力であるクロックを1個除去するか否かという制御方法を行ったが、この除去する個数が1以外の奇数であっても同様な効果が得られる。

【0043】 以上のように実施例1の構成装置は、駆動一周波数変換手段（67）の出力である原クロックをカメラヘッド（1）に送り返し、これと前記駆動/ハルス発生手段（10）から前記同期信号発生手段（11）へ出力されるクロックの位相遅延を一定にするよう制御をしているため、固体撮像素子（5）の出力と前記駆動/ハルス発生手段（10）から出力される相関二重サンプルシンクを用いたハルスの位相はケーブルの長さに関わらず常に一定となる。従って、カメラヘッド（1）とカメラコントローラ（2）を接続するケーブル（3）がどのような長さであっても、位相補正用の遅延量をスイッチにより切り換

える必要の無い、つまり遅延量切り換えスイッチが不要な撮像装置を得ることができ、しかも、図示のように、2週巡回路27と比較回路28が比較的簡単な回路で実現できる。

#### 【0044】 実施例2

この実施例は、その全体的構成は実施例1と同じで、図1に示す如くであるが、実施例1とは、2週巡回路27および位相比較回路28の構成が異なる。以下これについて図11を参照して説明する。図11において、図5と同一の符号は同一または対応する部材を示す。

【0045】 43は遅巡回路35の出力と入力端子40に供給されるクロックの位相を比較するD型リニアクロック（DFF）である。68は、電解投入遅延にDFF4 3をリセットするリセット回路で、抵抗44と、コンデンサ45とNOT4 6および47とで構成されている。EX-OR4 8は遅巡回路35から入力されるクロックを位相比較用のDFF4 3の出力に基づき正転あるいは反転して出力する。遅巡回路36はEX-OR4 8から入力されるクロックを1/4周期遅延する。遅巡回路36とEX-OR4 9とで2週巡回路27を構成している。

【0046】 実施例2の全体的動作は実施例1と同じである。しかし、2週巡回路27および位相比較回路28の動作が異なる。即ち、位相比較回路として用いられているDFF4 3は、原クロックと同期信号発生回路11に入力されるクロックの位相を比較する。また、EX-OR4 8は2つの位相を比較した結果、予め決定した位相関係ないし位相遅延（この回路例ではDFF4 3の出力から入力端子40に供給されるクロックの立ち上がり）にDFF4 3のD入力即ち遅巡回路35の出力が

“L”）でない場合には、2週巡回路27に入力されるクロック（EX-OR4 8の出力）を反転することにより2つのクロックの位相遅延を一定にする。この動作を図12のタイミングチャート図を使って詳しく説明する。

【0047】 先ず、遅巡回路35の出力と入力端子40に供給されるクロック（同期信号発生回路11に入力されるクロック）が予め定めた位相関係、つまり正転な位相関係の場合を考える。この場合は図12のタイミングチャート図から明らかなように位相比較の結果であるDFF4 3のQ出力は“L”であるから、EX-OR4 8の出力にはなんの変化も無く、遅巡回路35からの入力

がそのまま出力される。従って、駆動/ハルス発生回路11に出力されるクロックにもなんの変化も無く、位相比較する同クロックの位相はそのまま維持される。

【0048】 遅巡回路35の出力と入力端子40に供給されるクロックが予め決定した位相関係と逆な場合は、つまり異常な場合は、図12のタイミングチャート図から明らかなように位相比較の結果であるDFF4 3のQ出力は“H”であるから、入力端子40に供給されるクロックの立ち上りのタイミングでEX-OR4 8の出

力は反転する。このクロックが次の2週巡回路に入力されると図12のタイミングチャート図から明らかなように、入力端子40に供給されるクロックは、EX-OR4 8の出力が反転されない場合（つまり位相比較用DFF4 4を動作させない場合で図12の下の方に示す）に比べ、クロックが1個多くなる。従って、半周期間には両者のクロックの位相は予め定めた位相、つまり正常な位相になる。

【0049】 上記の実施例では位相比較をするのは、DFF4 3のリセットが解けてから入力端子40に供給されるクロック（同期信号発生回路11に入力されるクロック）の最初の立ち上がりだけという構成となっているが、この比較をFV信号の水平同期あるいは垂直同期線に行う様な構成でもよい。

【0050】 以上のような実施例2の2週巡回路27および位相比較回路28を用いれば、駆動/ハルス発生手段内の遅延時間の如何に関らず、所望の動作が実現できる。即ち、実施例1の回路では、駆動/ハルス発生手段内の遅延時間（基準クロックを1/2分周し、出力するまでの時間）が基準クロックの周期の1/2以上の場合には、所望の動作が実現できないが、実施例2ではこのような問題を解決できる。

#### 【0051】 実施例3

この実施例は、その全体的構成は実施例1と同じで、図1に示す如くであるが、実施例1とは、2週巡回路27および位相比較回路28の構成が異なる。以下これについて図13を参照して説明する。図13において、図5と同一の符号は同一または対応する部材を示す。

【0052】 NOT5 0および1は遅巡回路35の出力のフリップフロップ数を増やすために設けられたバッファである。OR5 2および53、DFF5 4および55、ならびにEX-OR5 6で位相比較回路28が構成される。OR5 7および58、OR5 7から入力されるクロックを1/4周期遅延する回路36、ならびにEX-OR5 9で2週巡回路27が構成される。60は位相比較回路（DFF5 4および55）のリセット信号が端子である。

【0053】 実施例3の全体的動作は実施例1と同じである。しかし、2週巡回路27および位相比較回路28の動作が異なる。即ち、OR5 2および53、DFF5 4および55、ならびにEX-OR5 6で構成する位相比較回路28は、原クロックと同期信号発生回路11に入力されるクロックの位相を比較する。また、OR5 7はこの2つの位相を比較した結果、予め定めた位相関係（この回路例ではOR5 2の出力の立ち上がりで入力端子40に供給されるクロックが“L”）ではない場合には、入力されるクロックと入力されるクロックを1/4周期遅延させたクロックをEX-ORに入力する構成の2週巡回路27の2つの入力の内、入力されるクロックを1/4周期遅延させたクロック（この例では正確に言え

は、遅延させる前のクロックに対し制御を行っているが、遅延後のクロックに対する制御と等価である）の方を1個除去することによりクロックの位相遅延を一定にする。この動作を図14のタイミングチャート図を使って詳しく説明する。

【0054】 先ず、NOT5 0の出力（送り返されてきた原クロック）と入力端子40に供給されるクロック（同期信号発生回路11に入力されるクロック）が予め定めた位相、つまり正常な位相の場合を考える。この場合は図14のタイミングチャート図から明らかなように、リセットが解除になっても、DFF5 4の出力は“L”（従ってクロック入力端子Cにはクロックが供給され続ける）であるから、DFF5 5のQ出力も“L”（従ってこちらのクロック入力端子Cにもクロックが供給され続ける）である。従って、EX-OR5 6の出力は“L”であるから、遅巡回路36に入力されるクロックに変化はなく、2週巡回路27の出力であり駆動/ハルス発生回路10に出力されるクロックにもなんの変化も無いので、位相比較する同クロックの位相はそのまま維持される。

【0055】 NOT5 0の出力（送り返されてきた原クロック）と入力端子40に供給されるクロック（同期信号発生回路11に入力されるクロック）が予め定めた位相関係と逆な場合は、つまり異常な場合は、図14のタイミングチャート図から明らかなように、OR5 2の出力の最初の立ち上がりでDFF5 4のQ出力は“H”となる。このQ出力が“H”になるとOR5 2の出力は抽制的に“H”となるため、以後DFF5 4はリセットがかかるとその状態を維持する。一方、DFF5 5のQ出力はDFF5 4のQ出力を1クロック遅らせて出力するため、OR5 3の出力の2番目の立ち上がりで“H”を出力する。従って、EX-OR5 6の出力はリセットが解除になつてからOR5 2の出力の最初の立ち上がりから1周期間“H”を出力する。この出力をOR5 7に入力するとOR5 7の出力はクロックが1個除去されたものとなる。このクロックを遅巡回路36により1/4周期遅延させたクロックとOR5 8（OR3による遅延の補償用）の出力（クロック1個の除去もなく1/4周期の遅延もないクロック）から2週巡回路により生成されるクロックは、図14のタイミングチャート図から明らかなように、単に2週遅延して得られるクロックに比べ、クロック数が1個少なくなっている。従って、1周期半後には両者のクロックの位相は予め決定した位相、つまり正常な位相になる。

【0056】 リセット信号が“L”になりDFF5 4および5のリセットされると、両者のQ出力は同時に“L”になるためOR5 7の出力にはなんら影響を与えず、従って駆動/ハルス発生回路10の出力にもなんら影響を与えずに位相比較回路28はリセットされる。リセット信号が“H”になりリセットが解ければ、また位相

比較回路28は、位相比較動作が可能な状態に戻ることを出来る。

【0057】上記の説明は、カメラヘッドから送り出されるクロックと駆動/ウイルス発生回路10から同期信号発生回路11に出されるクロックの位相差を一定にするために、比較回路28の出力に基づいて2連倍回路27に入力される一方のクロックを1個除去するか否かという判断方法を行ったが、実施例1について述べたのと同様、この除去する個数が1以外の奇数であっても同様な効果が得られる。以上のような実施例3の2連倍回路27と位相比較回路28を用いれば、回路素子遅延や温度変化あるいはそれらのバラツキ等に起因する不安定性がない。即ち、実施例2の回路では、回路素子遅延や温度変化あるいはそれらのバラツキ等に起因する不安定性が回路を構成する際に問題となるが、実施例3ではこのような問題が解決できる。

【0058】

【発明の効果】 以上のように、請求項1の発明によれば、電圧-周波数変換手段(67)の出力である周クロックをカメラヘッド(1)に送り返し、これと前記駆動/ウイルス発生手段(10)から前記同期信号発生手段(1)へ出力されるクロックの位相差を一定にするよう制御をしているため、固体撮像素子(5)の出力と前記駆動/ウイルス発生手段(10)から出力される相隣二重サンプリング用/ウイルスの位相差はケーブルの長さに拘わらず常に一定となる。従って、カメラヘッド(1)とカメラコントローラ(2)を接続するケーブル(3)がどのような長さであっても、位相補償用の遅延量をスイッチにより切り換える必要の無い、つまり遅延量切り換えスイッチが不要な撮像素子を得ることができる。

【0059】請求項2によれば、上記の所望の動作が簡単な回路構成で実現できる。

【0060】請求項3によれば、駆動/ウイルス発生手段内の遅延時間の如何に拘らず、所望の動作が実現できる。

【0061】請求項4では、回路素子遅延や温度変化あるいはそれらのバラツキ等に起因する不安定性がない。

【図面の簡単な説明】

【図1】 実施例1の撮像素子を示す図である。

【図2】 図1のドライバ回路21の一例を示す図である。

【図3】 図1のドライバ回路25の一例を示す図である。

【図4】 図1の波形整形回路26の一例を示す図である。

【図5】 図1の2連倍回路27と位相比較回路28の一例を示す図である。

【図6】 2相駆動の場合の水平レジスタ転送休止/ウイルス発生回路の一例を示す図である。

【図7】 図6の回路の主要部の波形を示す図である。

【図8】 波形整形回路20、水平レジスタ駆動用クロック発生回路22およびリセットクロック発生回路23の一例を示す図である。

【図9】 図8の回路の主要部の波形を示す図である。

【図10】 図7に示す回路のタイミングチャート図である。

【図11】 実施例2で用いられる2連倍回路27と位相比較回路28の一例を示す図である。

【図12】 図11に示す回路のタイミングチャート図である。

【図13】 実施例3で用いられる2連倍回路27と位相比較回路28の一例を示す図である。

【図14】 図13に示す回路のタイミングチャート図である。

【図15】 従来の撮像素子を示す図である。

【図16】 図15の水平クロックドライバ6の一例を示す図である。

【図17】 図15のリセットクロック発生回路7の一例を示す図である。

【図18】 図15の水平レジスタ転送クロックドライバ回路15の一例を示す図である。

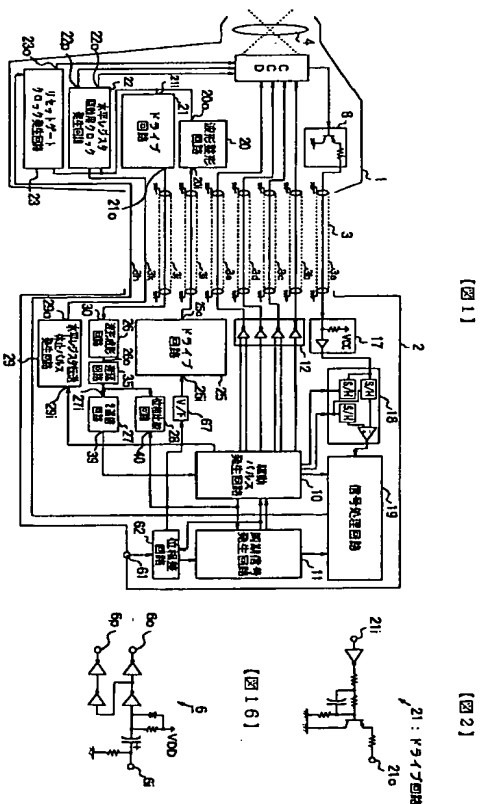
【図19】 図15のリセットクロックドライバ回路16の一例を示す図である。

【図20】 図15の位相検出回路の一例を示す図である。

【図21】 図15の固体撮像素子の出力、固体撮像素子の水平駆動/ウイルスおよび相隣二重サンプリング用/ウイルスの位相を示す図である。

【符号の説明】

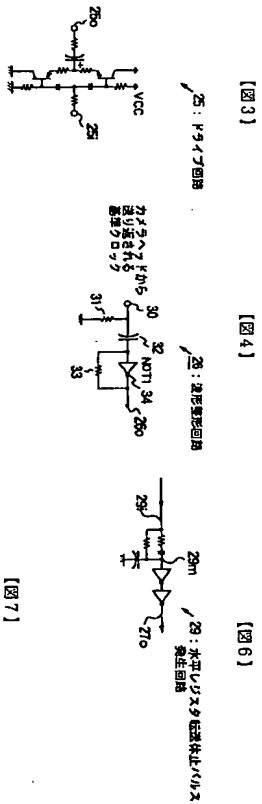
1 カメラヘッド、2 カメラコントローラ、3 接続ケーブル、5 固体撮像素子、8 出力信号用ドライバ回路、10 駆動/ウイルス発生回路、11 同期信号発生回路、12 垂直クロックドライバ、17 増幅回路、18 相隣二重サンプリング回路、19 信号処理回路、20 波形整形回路、21 ドライバ回路、22 水平レジスタ駆動用クロック発生回路、23 リセットクロック発生回路、25 ドライバ回路、26 波形整形回路、27 2連倍回路、28 位相比較回路、29 水平レジスタ転送休止/ウイルス発生回路、35 X-ORゲート、38 ORゲート、41 遅延回路、42 EX-ORゲート、43 DFF、62 位相差検出回路、67 電圧-周波数変換回路。



【図1】

【図2】

【図16】



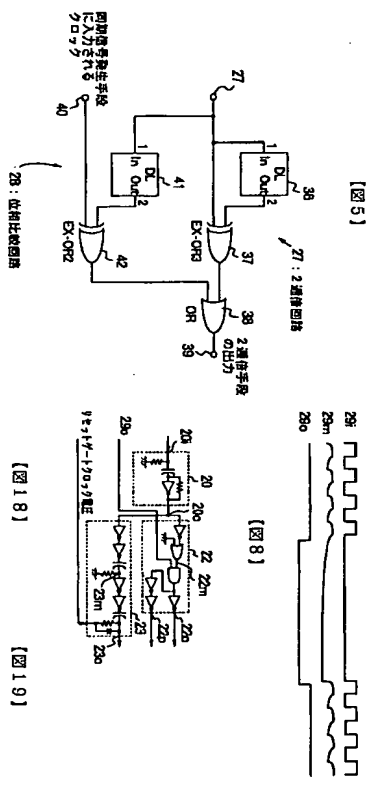
【図4】

【図6】

【図5】

【図7】

【図8】



【図18】

【図19】

